

(19)日本国特許庁 (JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表2001-518731

(P2001-518731A)

(43)公表日 平成13年10月16日(2001.10.16)

(51)Int.Cl.⁷
H 03 F 1/32
1/02
H 03 G 3/20
3/30
// H 03 F 1/07

F I
H 03 F 1/32
1/02
H 03 G 3/20
3/30
H 03 F 1/07

テ-モト⁷ (参考)

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21)出願番号 特願2000-514393 (P2000-514393)
(86)(22)出願日 平成10年5月8日(1998.5.8)
(85)翻訳文提出日 平成12年3月24日(2000.3.24)
(86)国際出願番号 PCT/US98/09543
(87)国際公開番号 WO99/17443
(87)国際公開日 平成11年4月8日(1999.4.8)
(31)優先権主張番号 08/940,563
(32)優先日 平成9年9月30日(1997.9.30)
(33)優先権主張国 米国(US)
(81)指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), BR, CA, CN, IL, JP, KR

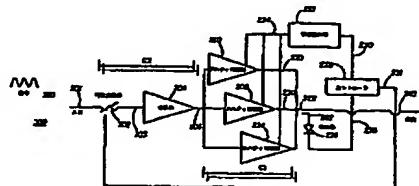
(71)出願人 モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED
アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303
(72)発明者 ジェームス・フランク・ロング
アメリカ合衆国イリノイ州グレン・エリーン、ウエスト・750、エルムウッド・ドライブ22
(74)代理人 弁理士 大貫 進介 (外2名)

最終頁に続く

(54)【発明の名称】信号を増幅する装置および方法

(57)【要約】

本装置は、入力および出力を有する増幅器204を備える。増幅器の出力はドハティ増幅器208の入力に結合される。ドハティ増幅器208は、側面入力およびドハティ出力を備える。本装置は、ドハティ増幅器208の出力に結合される入力を有する検出器224をさらに備える。検出器は、その出力において被検出信号をコントローラ228に提供し、コントローラは第1側面出力230および第2側面出力231を生成することによって被検出信号に応答する。第1側面出力は切替調整器232の入力に結合され、切替調整器はドハティ増幅器の側面入力に結合される出力を有する。第2側面出力は、可変減衰器202の制御入力に結合され、可変減衰器の出力は増幅器204の入力に結合される。



【特許請求の範囲】

【請求項1】 入力および出力を有する増幅器；
 前記増幅器の前記出力に結合される入力と、出力と、制御入力（234）とを有する第1ドハティ増幅器；
 前記第1ドハティ増幅器の前記出力の第1ドハティ出力信号を検出するため結合される検出器入力と、出力とを有する検出器；
 前記検出器の前記出力に結合される入力と、第1出力と、第2出力とを有するコントローラ；
 前記コントローラの前記第1出力に結合される入力と、前記第1ドハティ増幅器の前記制御入力に結合される出力とを有する切替調整器；および
 信号入力と、前記増幅器の前記入力に結合される出力と、前記コントローラの前記第2出力に結合される制御入力を有する可変減衰器；
 によって構成されることを特徴とする増幅器回路。
 【請求項2】 前記増幅器回路の第1利得が前記第1ドハティ増幅器の両端の電圧によって構成されることを特徴とする請求項1記載の増幅器回路。
 【請求項3】 前記増幅器回路の第2利得が前記可変減衰器と前記増幅器の和の両端の電圧によって構成されることを特徴とする請求項1記載の増幅器回路。
 【請求項4】 前記第1利得および前記第2利得の和が実質的に一定であることを特徴とする請求項2および3記載の増幅器回路。
 【請求項5】 前記第1ドハティ増幅器の前記入力に結合される入力と、前記第1ドハティ増幅器の前記出力に結合される出力と、前記切替調整器の前記出力に結合される制御入力を有する第2ドハティ増幅器によってさらに構成されることを特徴とする請求項1記載の増幅器回路。
 【請求項6】 前記増幅器群が無線周波数トランジスタ半導体装置によって構成されることを特徴とする請求項1記載の増幅器回路。
 【請求項7】 入力信号を増幅する方法であって：
 前記入力信号を可変減衰器の信号入力において受信する段階；
 前記入力信号を減衰して被減衰信号を形成する段階；

前記第2ドハティ増幅器の前記出力の第2ドハティ出力信号を検出するために結合される検出器入力と、出力とを有する検出器；
 前記検出器の前記出力に結合される入力と、出力とを有するコントローラ；および
 前記コントローラの前記出力に結合される入力と、第1および第2切替調整器出力とを有する切替調整器であって、前記第1切替調整器出力が前記第1ドハティ制御入力に結合され、前記第2切替調整器出力が前記第2ドハティ制御入力に結合される切替調整器；
 によって構成されることを特徴とする増幅器回路。
 【請求項13】 前記増幅器回路の第1利得が前記第2ドハティ増幅器の両端の電圧によって構成されることを特徴とする請求項12記載の増幅器回路。
 【請求項14】 前記増幅器回路の第2利得が前記第1ドハティ増幅器の両端の電圧によって構成されることを特徴とする請求項12記載の増幅器回路。
 【請求項15】 前記第1利得および前記第2利得の和が実質的に一定であることを特徴とする請求項13および14記載の増幅器回路。
 【請求項16】 前記第2ドハティ増幅器の前記入力に結合される入力と、前記第2ドハティ増幅器の前記出力に結合される出力と、前記第2切替調整器出力に結合される制御入力を有する第3ドハティ増幅器によってさらに構成されることを特徴とする請求項12記載の増幅器回路。
 【請求項17】 前記ドハティ増幅器が無線周波数トランジスタ半導体装置によって構成されることを特徴とする請求項12記載の増幅器回路。
 【請求項18】 入力信号を増幅する方法であって：
 前記入力信号を第1ドハティ増幅器の入力において受信する段階；
 前記第1ドハティ増幅器の第1ドハティ制御入力において第1電源電圧を受信する段階；
 前記第1ドハティ増幅器において前記入力信号（250）を増幅して第1ドハティ出力信号を形成する段階；
 前記第1ドハティ出力信号を第2ドハティ増幅器の入力において受信する段階；

【特許請求の範囲】

前記被減衰信号を增幅して被増幅信号を形成する段階；
 第1ドハティ増幅器において前記被増幅信号を増幅して第1ドハティ出力信号を形成する段階；
 检出器において全信号を検出して被検出出力信号を形成する段階であって、前記全信号が少なくとも前記第1ドハティ出力信号によって構成される段階；
 前記被検出出力信号をコントローラ内で所定のコントローラ閾値と比較する段階；
 被検出出力信号が前記所定のコントローラ閾値より低い場合に、前記コントローラにおいて第1制御信号および第2制御信号を生成する段階；
 前記第1制御信号に基づき、切替調整器において切替調整器出力電圧を生成する段階；
 前記切替調整器出力電圧に基づき、前記第1ドハティ増幅器の電圧を修正する段階；および
 前記第2制御信号に基づき、前記可変減衰器の電圧を修正する段階；
 によって構成されることを特徴とする方法。
 【請求項8】 前記増幅器回路の第1利得が前記第1ドハティ増幅器の両端の前記電圧修正によって構成されることを特徴とする請求項7記載の方法。
 【請求項9】 前記増幅器回路の第2利得が前記可変減衰器と前記増幅器の前記電圧修正の和によって構成されることを特徴とする請求項7記載の方法。
 【請求項10】 前記第1利得および前記第2利得の和が実質的に一定であることを特徴とする請求項8および9記載の方法。（*1）
 【請求項11】 前記被増幅信号を第2ドハティ増幅器内で増幅して第2ドハティ出力信号を形成する段階；および
 前記第1および第2ドハティ出力信号を合成して前記全信号を形成する段階；
 によってさらに構成されることを特徴とする請求項7記載の方法。
 【請求項12】 入力と第1ドハティ制御入力と出力とを有する第1ドハティ増幅器；
 前記第1ドハティ増幅器の前記出力に結合される入力と、出力と、第2ドハティ制御入力を有する第2ドハティ増幅器；

前記第2ドハティ増幅器の第2ドハティ制御入力において第2電源電圧を受信する段階；
 前記第2ドハティ増幅器において前記第1ドハティ出力信号を増幅して第2ドハティ出力信号を形成する段階；
 全信号を検出して被検出出力信号を形成する段階であって、前記全信号が少なくとも前記第2ドハティ出力信号によって構成される段階；
 前記被検出出力信号をコントローラ内で所定のコントローラ閾値と比較する段階；
 前記被検出出力信号が前記所定のコントローラ閾値より低い場合に、前記コントローラにおいて第1制御信号を生成する段階；
 前記制御信号に基づき、切替調整器において第1電源電圧を生成する段階；
 前記第1電源電圧に基づき、前記第1ドハティ増幅器の電圧を修正する段階；
 前記制御信号に基づき、前記切替調整器において第2電源電圧を生成する段階；および
 前記第2電源電圧に基づき、前記第2ドハティ増幅器の電圧を修正する段階；
 によって構成されることを特徴とする方法。
 【請求項19】 前記増幅器回路の第1利得が前記第2ドハティ増幅器の前記電圧修正によって構成されることを特徴とする請求項18記載の方法。
 【請求項20】 前記増幅器回路の第2利得が前記第1ドハティ増幅器の前記電圧修正によって構成されることを特徴とする請求項18記載の方法。
 【請求項21】 前記第1利得および前記第2利得の和が実質的に一定であることを特徴とする請求項19および20記載の方法。（*2）
 【請求項22】 前記第1ドハティ出力信号を第3ドハティ増幅器内で増幅して第3ドハティ出力信号を形成する段階；および
 前記第2ドハティ出力信号および第3ドハティ出力信号を合成して前記全信号を形成する段階；
 によってさらに構成されることを特徴とする請求項9記載の方法。
 【請求項23】 前記所定のコントローラ閾値が、検定される入力信号電力に基づいて選択されることを特徴とする請求項18記載の方法。

【発明の詳細な説明】

〔発明の分野〕

本発明は一般に増幅器に関し、さらに詳しくは、回路を増幅するための装置および方法に関する。

【0001】

〔発明の背景〕

ドハティ増幅器 (Doherty amplifiers) などの効率の高い複形増幅器は、当筆者には周知である。しかし、ドハティ増幅器は、通常、複形性が比較的悪いことも知られる。また、その複形性は効率性に反比例するのが普通である。その結果、ドハティ増幅器はピーク対平均値の比が高い複形増幅器の性能を改善することができたとしても、狭いダイナミック・レンジにおいてしかできない。

【0002】

ドハティ増幅器をネスティングすることによって、より広いダイナミック・レンジにおいて効率良く動作することのできるドハティ増幅器を設計するための少なくとも1つの試みがなされた。これは、「Efficiency of Doherty radio frequency (RF)-power amplifier systems」(R. Reab著 Green Mountain Radio Research Company, RM84-23; 1984年8月発行;) に説明される。Reabの実行例において説明されるようにドハティ増幅器をネスティングするには、平行する追加の増幅器と関連する駆動制御回路構成が必要である。

【0003】

ドハティ型の増幅器回路は、その効率性が低出力電力レベルにおいて増大されればさらに魅力的になる。特に、多段搬送電力増幅器に印加されるRF入力信号が30dBも可変するセルラ基地局装置のための多段搬送電力増幅器の用途において魅力的である。

【0004】

従って、ドハティ増幅器の効率性が広いダイナミック・レンジにおいて増大される信号の増幅システムおよび方法が必要である。

【0005】

〔発明の概要〕

本発明のある局面により、入力および出力を有する増幅器と、増幅器の出力に結合される入力、出力および制御入力を有する第1ドハティ増幅器とを備える増幅器回路により上記の必要性が満足される。増幅器回路は、第1ドハティ増幅器の出力から第1ドハティ出力信号を検出するため結合される検出器入力と出力とを有する検出器も備える。この出力はコントローラの入力に結合され、コントローラは第1および第2コントローラ出力を有する。増幅器回路は、第1コントローラ出力に結合される入力と、第1ドハティ増幅器の制御入力に結合される出力とを有する切替調整器をさらに備える。対応して、増幅器回路は、信号入力と、増幅器の入力に結合される出力と、第2コントローラ出力に結合される制御入力とを有する可変衰減器を備える。

【0006】

本発明の他局面により、信号を増幅する方法により上記の必要性は満足される。本方法は、可変衰減器の入力において入力信号を受信する段階、入力信号を減衰して被減衰信号を形成する段階および被減衰信号を増幅して被増幅信号を形成する段階を備える。本方法は、ドハティ増幅器内で被増幅信号を増幅する段階および切替調整器により制御入力においてドハティ増幅器に対し提供される電圧電圧を受信することに応答してドハティ出力信号を生成する段階も備える。さらに本方法は、検出器内の全信号を検出して被検出出力信号を形成する段階であって、全信号が少なくとも第1ドハティ出力信号を含む段階、被検出出力信号をコントローラ内の所定のコントローラ閾値と比較する段階および被検出出力信号が所定の閾値より低い場合にコントローラ内に第1および第2制御信号を生成する段階を備える。第1制御信号に応答して、切替調整器内に切替調整器出力電圧を生成し、その後で切替調整器出力電圧に基づき第1ドハティ増幅器の電圧を修正する。第2制御信号に応答して、可変衰減器の電圧を修正する。

【0007】

本発明のさらに別の局面により、入力、第1ドハティ制御入力および出力を有する第1ドハティ増幅器を備える増幅器回路により上記の必要性は満足される。このとき、出力は第2ドハティ制御入力および出力を有する第2ドハティ増幅器の入力に結合される。増幅器回路は、第2ドハティ増幅器の出力から第2ドハテ

イ出力信号を検出するために結合される検出器入力と出力とを有する検出器も備える。出力は、コントローラ出力を有するコントローラの入力に結合される。増幅器回路は、コントローラ出力に結合される入力と、第1および第2切替調整器出力とを有する切替調整器をさらに備え、第1切替調整器出力は第1ドハティ制御入力に結合され、第2切替調整器出力は第2ドハティ制御入力に結合される。

【0008】

本発明のさらに別の局面により、上記の必要性は信号を増幅する方法により満足される。本方法は、第1ドハティ増幅器の入力において入力信号を受信する段階、第1ドハティ増幅器の第1ドハティ制御入力において第1電源電圧を受信する段階、第1ドハティ増幅器において入力信号を増幅して第1ドハティ出力信号を形成する段階、第2ドハティ増幅器の入力において第1ドハティ出力信号を受信する段階、第2ドハティ増幅器の第2ドハティ制御入力において第2電源電圧を受信する段階および第2ドハティ増幅器内で第1ドハティ出力信号を増幅して第2ドハティ出力信号を形成する段階を備える。本方法は、全信号を検出して被検出出力信号を形成する段階であって、全信号が少なくとも第2ドハティ出力信号を含む段階と、コントローラ内で被検出出力信号を所定のコントローラ閾値と比較する段階とをさらに備える。また、本方法は、前記の被検出出力信号が所定のコントローラ閾値より低い場合にコントローラ内で制御信号を生成する段階と、制御信号に基づいて切替調整器内で第1電源電圧を生成する段階と、その後で第1電源電圧に基づき第1ドハティ増幅器の電圧を修正する段階とを備える。平行して、制御信号に基づいて切替調整器内で第2電源電圧を生成し、その後で前記第2電源電圧に基づき第2ドハティ増幅器の電圧を修正する。

【0009】

本発明の利点は、説明のために図示および解説される本発明の好適な実施例の以下の説明から当筆者には容易に理解頂けよう。言うまでもなく、本発明は他の異なる実施例も可能であり、その詳細は種々の観点から変更することができる。従って、図面および解説は説明のためのものであり、制限を加えるためのものではないと見なされる。

【0010】

〔好適な実施例の詳細説明〕

図面を参照して、同様の番号は同様の構成部品を指すが、図1は典型的なドハティ増幅器を示す。ドハティ増幅器208は、入力信号206を受信し、制御入力234の受信に応答してドハティ出力信号220を生成する。制御入力は一般に、通常ドレイン電圧と呼ばれる電圧を表し、 V_{ds} と記される。

【0011】

電界効果トランジスタ (FET: field effect transistor) を利用するドハティ増幅器は、一定のドレイン電圧で動作するのが普通である。ドハティ出力信号220が飽和電圧にある場合は、ドハティ増幅器208は最大ドレイン効率において動作する。言い換えると、ドハティ増幅器208は、ドハティ出力信号220の電圧がドレイン電圧 V_{ds} に等しいときに最大効率で動作する。飽和は図2に示されるように9dBのバックオフにおいて起こる。RF電力出力のDC入力電力に対する比として定義されるドハティ効率は、飽和から6dBにおいて遷移電圧に到達するまでは、飽和からのバックオフが増すと少し下がる。飽和から6dBのバックオフにおいて、再び最大ドハティ効率に達する。遷移電圧のもとでは、ドハティ効率は、飽和からのバックオフが増大するにつれて急速に下がる。当技術では周知の如く、ドハティ出力信号220の電力が下がるにつれて、ドハティ増幅器208の効率は出力信号電圧振幅に比例して下がる。従って、ドハティ出力信号220が低い場合、ドハティ効率は低くなる。逆にドハティ出力信号220が高い場合、ドハティ効率は高くなる。たとえば、20ワットのドハティ出力信号電力は、20ボルトの一定ドレイン電圧に関して約40%の効率であり、60ワットのドハティ出力信号電力は20ボルトの一定ドレイン電圧に関して約57%の効率である。

【0012】

ドレイン電圧が一定の出力電圧に対して上昇すると、ドハティ効率は下がる。たとえば、飽和から6dBのバックオフにおいて、900MHzの用例では、ドハティ効率は20ボルトの一定ドレイン電圧に関して約46%であり、30ボルトの一定ドレイン電圧に関して約40%に下がる。

【0013】

低い一定ドレイン電圧においてドハイティ増幅器208を動作させるにあたり2つの実質的な問題がある。1つの問題は、歪みとも呼ばれる、ドハイティ出力信号220の相互変調の増大である。この歪みは、ドハイティ出力信号220の電力を低い値たとえば飽和より9ないし10dB低く抑えることにより軽減することができる。もう1つの問題は、ドハイティ増幅器208の電力利得の低下である。ドハイティ増幅器208の電力利得の低下は、可変減衰器とドライバ増幅器により与えられる固定利得と共に加えることにより対処することができる。可変減衰器および固定利得ドライバ増幅器は、ドハイティ増幅器208の両端で利得損失を相殺するよう構造される。

【0014】

従って、ドハイティ増幅器208を実質的に飽和付近に維持することによって、より広いダイナミック・レンジにおいてドハイティ効率を改善することが可能になる。ドハイティ増幅器208を飽和付近に維持するためには、制御入力234に現れる電源電圧をドハイティ出力信号220の電圧に比例して調整する。本発明の好適な実施例においては、制御入力234に現れる可変調整電源電圧が上記の一定電源（またはドレイン）電圧V_Dに置き換わる。

【0015】

図3は、本発明の好適な実施例による、信号を増幅してその結果ドハイティ増幅効率を増大する増幅器回路200のブロック図である。増幅器回路200は、入力201および出力240を有して構成される。増幅器回路200は、可変減衰器202、増幅器204、第1ドハイティ増幅器208、検出器224、コントローラ228および切替調整器232を備える。入力信号250（たとえば複数のRFトランシーバにより生成される多重搬送波900メガヘルツ(MHz)のRF信号）が入力201において受信される。

【0016】

回路200の動作中は、増幅器204好ましくはドライバ増幅器は、可変減衰器202により生成される被減衰信号を受信する入力を有し、入力信号206を第1ドハイティ増幅器208に提供する。第1ドハイティ増幅器208は、入力信号206を受信し、制御入力234における切替調整器232により提供される電

源電圧の受信に応答して、第1ドハイティ出力信号220を生成する。好適な実施例においては、検出器224好ましくはダイオード検出器が、方向性カプラ（図示せず）を介して第1ドハイティ増幅器208の出力に結合される。検出器224は、第1ドハイティ出力信号をサンプリングおよび整流して、被検出出力信号226をコントローラ228に提供する。被検出出力信号226は、検出器入力222において検出される信号に比例する直流(DC)電圧である。

【0017】

被検出出力信号226が所定のコントローラ開値たとえば閾値電圧より低いと、コントローラ228は第1および第2制御信号を生成する。これに応じて、コントローラ228は、被検出出力信号226を切替調整器232への入力に通じた第1制御信号230に変換する。この変換は、切替調整器232が第1ドハイティ増幅器208への制御入力234として提供される電源電圧を、被検出出力信号の減少に応じて低下させるよう行われる。その結果、第1ドハイティ増幅器208の両端の電圧利得（第1利得）が下がる。

【0018】

平行して、コントローラ228が被検出出力信号226を可変減衰器202への入力に通じた第2制御入力231に変換する。この変換は、可変減衰器が入力信号206の電圧を削減して、結果として第1ドハイティ増幅器208の入力に現れる信号を大きくするよう行われる。その結果、可変減衰器202およびドライバ増幅器204の和の両端の電圧利得（第2利得）が上がる。

【0019】

これに由来する第1ドハイティ増幅器208の両端の電圧低下は、これに由来する可変減衰器202およびドライバ増幅器204の和の両端の電圧の増大と結合して、より広いダイナミック・レンジにおいてドハイティ増幅器208をその飽和点付近に維持する。それに対応して、第1および第2利得の和は、増幅器回路200の両端で実質的に一定になる。

【0020】

増幅器204およびドハイティ増幅器208は、好ましくは、モトローラ社から入手可能なRF183シリーズ増幅器などの金属酸化物半導体電界効果トランジス

タ(MOSFET: metal oxide semiconductor field effect transistor)である。可変減衰器202は、好ましくはM/A-COM社製のAT-108電圧可変吸収減衰器である。検出器224はこれもM/A-COM社製のM44832Aゼロ・バイアス検出器ダイオードとすることができる。切替調整器232は、AT87バージョンのFE160R DC-DC電力モジュールと同様の任意の数の種類の切替調整器とすることができる。コントローラ228は、ソフトウェアまたはハードウェア方法のいずれでも構築することができる。たとえば、コントローラ228をハード・コード化されたルックアップ・テーブルとして実現しても、あるいはレベル・シフティングおよびスケーリング直角増幅器を備えるアナログ回路として実現してもよい。

【0021】

図4に示される代替の増幅器回路300においては、第2ドハイティ増幅器310をドハイティ増幅器208と並列に加えて、図示されるように第2ドハイティ増幅器310がドハイティ増幅器208の入力に結合される入力と、ドハイティ増幅器208の出力に結合される出力を有するようとする。第2ドハイティ増幅器310は、切替調整器232の出力に結合される制御入力も有する。第1ドハイティ出力信号220に第2ドハイティ増幅器310が出力する第2ドハイティ出力信号320を加算する効果により、全信号322が生成される。追加のドハイティ増幅器は、所望の全信号322の大きさによっては並列に加えてもよい。

【0022】

図5に、全体を400とする信号増幅法を表す流れ図を示す。方法400は、ブロック62で始まり、ここで増幅器回路200が入力201において入力信号250を受信する。次にブロック64において、入力信号250が可変減衰器202により減衰され、被減衰信号を形成する。ブロック66において、被減衰信号がドライバ増幅器204により増幅され、第1ドハイティ増幅器208に入力信号206を提供する。次にブロック68において、第1ドハイティ増幅器208が、制御入力234における電源電圧の受信に応答して、第1ドハイティ出力信号220を生成する。

【0023】

次にブロック70において、第1ドハイティ出力信号220が検出器224によ

り検出され、検出器224は被検出出力信号226を生成する。被検出出力信号226はブロック72において、コントローラ228により閾値電圧と比較される。被検出出力信号226の電圧が閾値電圧より低い場合は、ブロック74においてコントローラ228が第1制御信号230および第2制御信号231を生成する。被検出出力信号226の電圧が閾値電圧よりも高い場合は、コントローラ228は第1および第2制御信号を生成しない。ブロック78において、第1制御信号230を受信すると、切替調整器232は出力を生成し、これが第1ドハイティ増幅器208の制御入力234において電源電圧として現れる。この電源電圧は、第1制御信号230に比例する。電源電圧に応答して、第1ドハイティ出力信号220がブロック80において修正される。平行して、第2制御信号231を受信すると、可変減衰器202がブロック82において入力信号250を減衰する。これに応答して、ブロック84において、可変減衰器202と増幅器204の和の両端の電圧が修正される。

【0024】

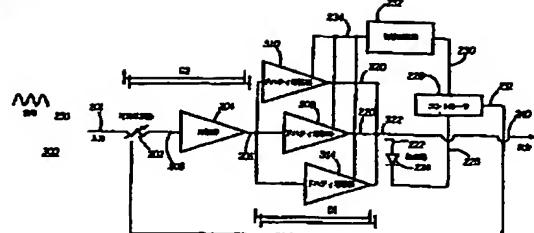
図6に示される第3の実施例により、増幅器204をドハイティ増幅器404と置き換えることによって、さらに増幅器回路を強化することができる。増幅器回路500は、入力403および出力240を有して構成される。増幅器回路は、可変減衰器202、第1ドハイティ増幅器404、第2ドハイティ増幅器408、検出器224、コントローラ228および切替調整器232を備える。入力信号250（たとえば複数のRFトランシーバにより生成される多重搬送波900メガヘルツ(MHz)のRF信号）が入力403において受信される。

【0025】

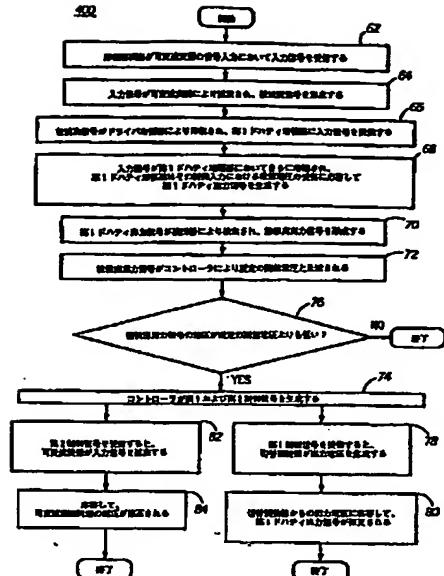
増幅器回路500の動作中は、第1ドハイティ増幅器404が入力403において入力信号250を受信し、第1ドハイティ制御入力233に提供される切替調整器232からの第1電源電圧に基づいて、第1ドハイティ出力信号406を生成する。第2ドハイティ増幅器408は第1ドハイティ出力信号406を受信し、第2ドハイティ制御入力234において受信される切替調整器232からの第2電源電圧に基づいて第2ドハイティ出力信号220を生成する。

【0026】

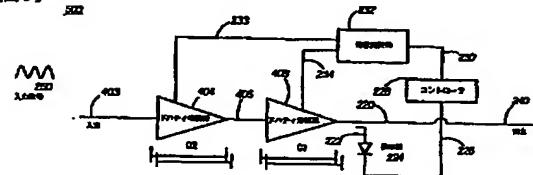
【図4】



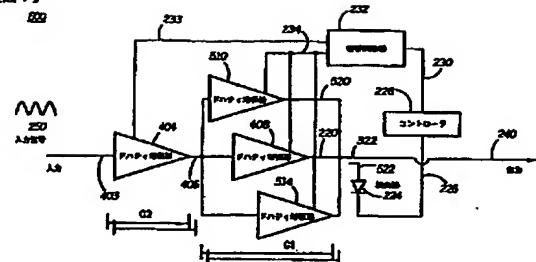
【図5】



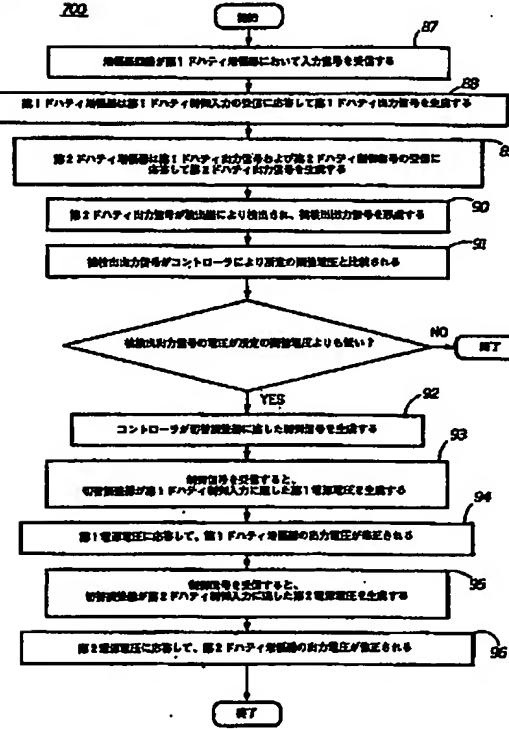
【図6】



【図7】



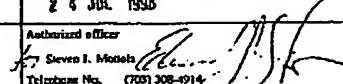
【図8】



[国際調査報告]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/0543

| | | |
|---|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER | | |
| PCT/US 1998 US CL. 330/129, 244 According to International Patent Classification (IPC) or to both national classifications and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification scheme followed by classification symbols) U.S. : 330/124B, 129, 153, 154, 156, 234, 285 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPTO APS search terms: Doherty amplifier, gain control, switching regulator, detector, attenuator | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US 5,757,229 A (MITZLAFF) 26 May 1998 (26/05/98), see entire document. | ALL |
| A | US 5,179,353 A (MIYAKE) 12 January 1993 (12/01/93), see entire document. | ALL |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| <p>* Special categories of cited documents</p> <p>"A" documents reflecting the general state of the art which is not considered to be of particular relevance</p> <p>"C" earlier documents published on or after the international filing date</p> <p>"I" documents which may throw doubt on priority claimed or which is cited to establish the publication date of another claimed or other special reasons (as specified)</p> <p>"D" documents referring to an oral disclosure, use, exhibition or other activities prior to the filing date</p> <p>"P" documents published prior to the International filing date but later than the priority date claimed</p> | | |
| <p>Date of the actual completion of the international search 25 JUNE 1998</p> | | <p>Date of mailing of the international search report 26 JULY 1998</p> |
| Name and mailing address of the ISA/US Commissioner of Patents and Trademarks U.S. PCT Washington, D.C. 20531 Facsimile No. (703) 305-2210 | | <p>Authorized officer Steven I. Monola Signature:  Telephone No. (703) 308-4914</p> |

Form PCT/ISA/210 (second sheet)(July 1997)

フロントページの続き

Fターム(参考) 5J090 AA01 AA51 CA32 CA36 FA17
FA18 GN06 HA01 HA26 HA38
SA13 TA01 TA02
5J092 AA01 AA51 CA32 CA36 FA17
FA18 HA26 HA38 SA13 TA01
TA02
5J100 AA02 AA16 BA10 BB01 BB08
BC05 CA01 CA11 DA06 JA01
LA10